

Attorney Docket No. 1572.1252

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Se-Young JANG et al

Application No.:

Group Art Unit:

Filed: April 13, 2004

Examiner:

For: SURFACE-MOUNTING METHOD OF SEMICONDUCTOR CHIP ON PCB

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Republic of Korea Patent Application No(s). 2003-49311

Filed: July 18, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: April 13, 2004

By:


Gene M. Garner II
Registration No. 34,172

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0049311

Application Number

출 원 년 월 일 : 2003년 07월 18일

Date of Application JUL 18, 2003

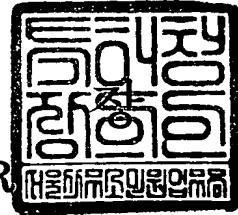
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.08.11
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	허성원
【대리인코드】	9-1998-000615-2
【포괄위임등록번호】	2003-002172-2
【대리인】	
【성명】	윤창일
【대리인코드】	9-1998-000414-0
【포괄위임등록번호】	2003-002173-0
【사건의 표시】	
【출원번호】	10-2003-0049311
【출원일자】	2003.07.18
【심사청구일자】	2003.07.18
【발명의 명칭】	반도체칩 표면실장방법
【제출원인】	
【접수번호】	1-1-2003-0262385-25
【접수일자】	2003.07.18
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 허성원 (인) 대리인 윤창일 (인)

1020030049311

출력 일자: 2003/9/16

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【보정대상항목】 요약**【보정방법】** 정정**【보정내용】**

본 발명은, 전자부품이 장착되는 인쇄회로기판에 플립칩 형 반도체 칩을 타 부품과 함께 표면실장하는 반도체 칩 혼재실장방법에 관한 것으로, 다수의 반도체 칩이 일체로 배열된 반도체 웨이퍼의 배면에 각 반도체의 도전접촉부에 솔더범프를 형성하는 단계와; 상기 반도체 웨이퍼의 상기 솔더범프가 형성된 면에 언더필 재료를 도포하는 단계와; 상기 언더필 재료를 점착성을 갖는 상태로 부분경화시키는 단계와; 상기 반도체 웨이퍼를 다수의 반도체 칩으로 절단하여 상기 언더필 재료가 상기 인쇄회로기판에 향하도록 상기 반도체 칩을 상기 인쇄회로기판에 배치하는 단계와; 상기 인쇄회로기판을 소정의 온도에서 가열하는 가열단계를 포함하는 것을 특징으로 한다. 이에 의하여, 반도체 칩의 중간단계 이동을 위한 포장재의 필요가 없고 추가적인 언더필 공정이 없어 공정을 단순화 하며 부품간 이격거리를 줄일 수 있는 반도체 칩 표면실장방법이 제공된다.

【보정대상항목】 색인어**【보정방법】** 정정**【보정내용】**

표면혼재실장, 언더필, 플립칩

【보정대상항목】 식별번호 8

【보정방법】 정정

【보정내용】

12; 피더 테이프 21: 솔더범프

【보정대상항목】 식별번호 10

【보정방법】 정정

【보정내용】

본 발명은 반도체 칩 표면실장방법에 관한 것으로, 보다 상세하게는 반도체 칩의 종간단계 이동을 위한 포장재의 필요가 없고 추가적인 언더필 공정이 없어 공정을 단순화할 수 있는 반도체 칩 표면실장방법에 관한 것이다.

【보정대상항목】 식별번호 12

【보정방법】 정정

【보정내용】

플립칩 실장기술은 반도체 칩을 패키징하지 않고 그대로 인쇄회로기판에 실장하는 기술로, 반도체 칩에 범퍼를 형성하고 범퍼와 인쇄회로기판에 인쇄된 접속패드를 솔더링 방식으로 접속시키는 기술을 말한다. 이와 같은 방법으로 인쇄회로기판에 반도체 칩을 실장하면 반도체 칩의 범퍼의 높이로 인해 반도체 칩과 인쇄회로기판 사이에 간극이 발생되어 반도체 칩의 지지력이 약화된다. 따라서 반도체 칩을 안정적으로 지지하기 위해 반도체 칩과 인쇄회로기판 사이에 발생된 간극에 액상수지 물질의 언더필 재

료를 주입하고 경화시켜 반도체 칩을 지지하는 언더필 층을 형성함으로써 안정적인 접속 유지 능력과 칩의 손상 방지 능력이 향상되어 진다.

【보정대상항목】 식별번호 14

【보정방법】 정정

【보정내용】

솔더범프의 형성단계(S10)는 웨이퍼(100)상의 활성면에 전기적인 접점을 형성할 수 있도록 솔더범프(210)를 웨이퍼(100)상에 형성된 패턴에 따라 형성하는 단계이다. 이어 웨이퍼 절단단계(S20)는 솔더범프(210)가 형성된 웨이퍼(100)를 소정크기의 반도체 칩(200)으로 절단하는 단계이다. 절단된 반도체 칩(200)을 이동수단에 적재하는 단계(S30)에서는 반도체 칩(200)을 이후 공정으로 이동할 때 반도체 칩(200)의 손상을 막기 위해 이동수단에 적재하는 단계를 말한다. 여기서 이동수단으로는 칩 트레이(110) 또는 피더 테이프(120)가 주로 사용된다. 일반적으로 이상의 단계까지는 반도체 제조업체 혹은 패키지 업체에서 수행이 되며 상술한 바와 같이 칩 트레이(110) 또는 피더 테이프(120) 상태로 전자제품 업체의 실장공정으로 옮겨지게 된다.

【보정대상항목】 식별번호 15

【보정방법】 정정

【보정내용】

이어 칩 트레이(110) 또는 피더 테이프(120)에 의해 이동된 반도체 칩(200)은 인쇄회로기판(400)에 배치된다(S40). 이때, 인쇄회로기판(400)에는 반도체 칩(200) 이외의 전자부품(300, 수동소자, 커넥터 등)이 혼재되어 실장 된다. 여기서 반도체 칩(200)은

후술할 언더필 재료(220)의 주입을 위해 타 전자부품(300)들과 최소 2mm 이상의 최소 간격을 유지하여 배치되어야 한다. 반도체 칩(200)과 타 전자부품이 배치된 인쇄회로 기판(400)은 소정온도에서 가열되는 리플로우 단계(S50)를 거치게 되는데, 이때 반도체 칩(200)의 솔더범프(210)가 리플로우 되면서 인쇄회로기판(400)의 전극과 전기적으로 연결된다. 리플로우 단계(S50)의 가열온도는 솔더범프(210)의 재질에 따라 결정된다.

【보정대상항목】 식별번호 16

【보정방법】 정정

【보정내용】

리플로우 단계(S50)가 끝나면, 솔더범프(210)에 의해 발생된 반도체 칩(200)과 인쇄회로기판(400) 사이의 간극에 언더필 재료(220)를 주입한다(S60). 언더필 재료(220)를 주입하기 위해서 반도체 칩(200)과 다른 전자부품(300)들 간의 거리가 최소거리 이상 확보되어야 하는 것은 상술한 바이다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

또한, 칩 트레이(110) 또는 피더 테이프(200)를 사용하는 경우에 웨이퍼(100)에서 이와 같은 중간 포장용기에 담는 공정이 한 번 더 필요하고 다시 표면실장공정에서 칩 트레이(110)나 피더 테이프(120)에서 인쇄회로기판(400)으로 반도체 칩(200)을 장착하는 공정이 필요하게 되므로 두 번의 칩 이동공정을 거치게 된다. 또한, 칩 트레이

(110) 또는 피더 테이프(120)에 의해 운반될 경우 반도체 칩(200)에 형성된 솔더범프(210)가 손상되는 문제점 등이 있다.

【보정대상항목】 식별번호 21

【보정방법】 정정

【보정내용】

상기 목적은, 본 발명에 따라, 전자부품이 장착되는 인쇄회로기판에 플립칩 형태의 반도체 칩을 표면실장하는 반도체 칩 표면실장방법에 있어서, 다수의 반도체 칩이 일체로 배열된 반도체 웨이퍼의 배면에 각 반도체의 도전접촉부에 솔더범프를 형성하는 단계와; 상기 반도체 웨이퍼의 상기 솔더범프가 형성된 면에 언더필 재료를 도포하는 단계와; 상기 언더필 재료를 점착성을 갖는 상태로 부분경화시키는 단계와; 상기 반도체 웨이퍼를 다수의 반도체 칩으로 절단하여 상기 언더필 재료가 상기 인쇄회로기판을 소정의 온도에서 가열하는 가열단계를 포함하는 것을 특징으로 하는 반도체 칩 표면실장방법에 의해 달성된다.

【보정대상항목】 식별번호 22

【보정방법】 정정

【보정내용】

여기서, 상기 가열단계의 가열온도는 상기 솔더범프의 용융점 이상으로 되는 것이 솔더범프를 리플로우 함과 동시에, 언더필 재료를 경화시킬 수 있다.

【보정대상항목】 식별번호 24

【보정방법】 정정

【보정내용】

도면에 도시된 바와 같이, 반도체 칩 표면실장은 솔더범프 형성단계(S1), 언더필도포 단계(S2), 언더필 부분경화단계(S3), 웨이퍼 절단단계(S4), 반도체 칩 배치단계(S5), 가열단계(S6)를 거치게 된다.

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

솔더범프 형성단계(S1)는 웨이퍼(1)에 형성된 패턴에 따라 인쇄회로기판(4)과 전기적으로 접촉할 수 있도록 웨이퍼(1)상의 활성면에 솔더범프(21)를 형성하는 단계이다. 일반적으로 솔더범프(21)는 Sn/Pb의 합금이 많이 사용된다.

【보정대상항목】 식별번호 26

【보정방법】 정정

【보정내용】

이어 솔더범프(21)가 형성된 웨이퍼(1) 면에 언더필 재료(22)를 도포하는 언더필 도포단계(S2)를 거친다. 언더필 재료(22)를 도포하는 방법으로는 스텐실 프린팅법, 스펀 코팅법, 디핑법 등을 이용할 수 있다. 이때 언더필 재료(22)의 도포 두께는 언더필 재료(22)의 특성에 따라 차이가 날 수 있으나, 일반적으로 솔더범프(21)가 인쇄회로기판(4)과의 전기적 접촉이 원활하게 이루어 질 수 있도록 솔더범프(21)의 높

이에 대하여 같거나 낮게 도포된다. 하지만, 후술할 가열단계에서 언더필 재료(22)의 특성에 따라 솔더범프(21)가 리플로우 될 때 언더필 재료(22)를 뚫고 인쇄회로기판(4)에 전기적으로 접촉이 가능한 경우가 있으므로, 솔더범프(21)의 높이에 대하여 높게 언더필 재료(22)가 도포될 수도 있음은 물론이다.

【보정대상항목】 식별번호 27

【보정방법】 정정

【보정내용】

웨이퍼(1)상에 도포된 언더필 재료(22)는 부분경화단계(S3)를 거쳐 점착성을 갖는 상태로 된다. 부분경화단계(S3)에서 언더필 재료(22)가 도포된 웨이퍼(1)는 소정온도에 노출이 되어 언더필 재료(22)가 부분경화된다. 언더필 재료(22)를 부분경화하는 이유는 언더필 재료(22)는 액상으로 웨이퍼(1) 상에 도포되므로 웨이퍼(1)를 운반할 때 언더필 재료(22)가 흘러내려 운반에 어려움이 있기 때문이다. 또한, 언더필 재료(22)는 소정의 접착력이 있으므로 후술할 가열단계에서 경화되어 인쇄회로기판(4)과 반도체 칩(2)을 접착시켜주는 역할을 하기 때문이다. 일반적으로 이상의 단계까지는 반도체 제조업체 또는 폐키지 업체에서 수행이 되며 언더필 재료(22)가 부분경화된 웨이퍼(1) 상태로 전자제품 업체의 실장공정으로 옮겨지게 된다.

【보정대상항목】 식별번호 28

【보정방법】 정정

【보정내용】

이어, 반도체 웨이퍼(1)를 반도체 칩(2)으로 절단하는 절단단계(S4)를 거친다. 절단 단계(S4)를 거친 반도체 칩(2)의 각각에는 솔더범프(21)와 부분경화상태의 언더필 재료(22)가 마련되어 있게 된다.

【보정대상항목】 식별번호 30

【보정방법】 정정

【보정내용】

반도체 칩(2)이 배치된 인쇄회로기판(4)은 소정온도에서 가열되어, 솔더범프(21)의 리플로우와 언더필 재료(22)의 경화가 동시에 이루어진다(S6). 가열온도는 언더필 재료(22)와 솔더범프(21)의 재료 특성에 따라 달라지겠지만, 일반적으로 솔더범프(21)의 용융점 온도 보다는 높게 설정되어야 한다. 솔더범프(21)의 리플로우와 언더필 재료(22)의 경화가 이루어지는 과정을 살펴보면, 솔더범프(21)가 소정온도 이상으로 가열되면, 솔더범프(21)가 녹고, 솔더범프(21)는 인쇄회로기판(4)의 접점과 화학결합을 형성하여 전기적으로 접촉하게 된다. 또한, 언더필 재료(22)는 온도가 올라감에 따라 경화가 이루어져 고상으로 되고, 가열 단계가 끝나게 되면 솔더범프(21)는 다시 굳게 되어 인쇄회로기판(4)과 안정적으로 전기적인 연결이 이루어진다.

【보정대상항목】 식별번호 31**【보정방법】** 정정**【보정내용】**

따라서 모든 공정이 끝나게 되면, 언더필 재료(22)는 경화가 이루어져, 인쇄회로기판(4)과 반도체 칩(2)을 지지하고, 소정의 접착력으로 인쇄회로기판(4)과 반도체 칩(2)의 상호 결합을 도와준다.

【보정대상항목】 식별번호 32**【보정방법】** 정정**【보정내용】**

이상의 설명에서 반도체 칩의 표면실장에 있어서, 플립 칩 실장에 대하여 설명하였으나, WLCSP(Wafer Level Chip Size Package) 혹은 WLP(Wafer Level Package) 기술에도 이용될 수 있음은 물론이다. WLCSP 혹은 WLP란 웨이퍼 단계에서 패키지 공정이 종결되어 외부패키지가 없는 반도체 칩으로, 대개 반도체 칩 패드를 박막기술을 이용하여 표면실장이 가능한 패드 간격으로 재배열을 하고 솔더볼을 형성하는 것을 말한다.

【보정대상항목】 식별번호 33**【보정방법】** 정정**【보정내용】**

이상 설명한 바와 같이, 본 발명에 따르면, 반도체 칩의 중간단계 이동을 위한 포장재의 필요가 없고 추가적인 언더필 공정이 없어 공정을 단순화하여 부품간 이격 거리를 줄일 수 있는 반도체 칩 표면실장 방법이 제공된다.

【보정대상항목】 청구항 1**【보정방법】** 정정**【보정내용】**

전자부품이 장착되는 인쇄회로기판에 플립칩형 반도체 칩을 혼재실장하는 반도체 칩 표면실장방법에 있어서,

다수의 반도체 칩이 일체로 배열된 반도체 웨이퍼의 배면에 각 반도체의 도전접촉부에 솔더범프를 형성하는 단계와;

상기 반도체 웨이퍼의 상기 솔더범프가 형성된 면에 언더필 재료를 도포하는 단계와;

상기 언더필 재료를 점착성을 갖는 상태로 부분경화시키는 단계와;

상기 반도체 웨이퍼를 다수의 반도체 칩으로 절단하여 상기 언더필 재료가 상기 인쇄회로기판에 향하도록 상기 반도체 칩을 상기 인쇄회로기판에 배치하는 단계와;

상기 인쇄회로기판을 소정의 온도에서 가열하는 가열단계를 포함하는 것을 특징으로 하는 반도체 칩 표면실장방법.

【보정대상항목】 청구항 2**【보정방법】** 정정**【보정내용】**

제1항에 있어서,

상기 가열단계의 가열온도는 상기 솔더범프의 용융점 이상이며 동시에 언더필의 경화가 이루어 지는 것을 특징으로 하는 반도체 칩 표면실장방법.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003.07.18
【발명의 명칭】	반도체칩 표면실장방법
【발명의 영문명칭】	Surface Mounting Method of Semi-conduct Chip on PCB
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	허성원
【대리인코드】	9-1998-000615-2
【포괄위임등록번호】	2003-002172-2
【대리인】	
【성명】	윤창일
【대리인코드】	9-1998-000414-0
【포괄위임등록번호】	2003-002173-0
【발명자】	
【성명의 국문표기】	장세영
【성명의 영문표기】	JANG, SE YOUNG
【주민등록번호】	740910-2162017
【우편번호】	440-852
【주소】	경기도 수원시 장안구 파장동 469-25
【국적】	KR
【발명자】	
【성명의 국문표기】	박민영
【성명의 영문표기】	PARK, MIN YOUNG
【주민등록번호】	711020-2674211
【우편번호】	463-780
【주소】	경기도 성남시 분당구 수내동 푸른마을신성아파트 307동 1101호
【국적】	KR

【발명자】

【성명의 국문표기】

홍순민

【성명의 영문표기】

HONG, SOON MIN

【주민등록번호】

720801-1010518

【우편번호】

130-050

【주소】

서울특별시 동대문구 회기동 신현대아파트 6동 1503호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
허성원 (인) 대리인
윤창일 (인)

【수수료】

【기본출원료】

14 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

2 항 173,000 원

【합계】

202,000 원

【요약서】**【요약】**

본 발명은, 전자부품이 장착되는 인쇄회로기판에 반도체 칩을 표면실장하는 반도체 칩 표면실장방법에 관한 것으로, 다수의 반도체 칩이 일체로 배열된 반도체 웨이퍼의 배면에 각 반도체의 도전접촉부에 솔더범퍼를 형성하는 단계와; 상기 반도체 웨이퍼의 상기 솔더범퍼가 형성된 면에 언더필 재료를 도포하는 단계와; 상기 언더필 재료를 점착성을 갖는 상태로 부분경화시키는 단계와; 상기 반도체 웨이퍼를 다수의 반도체 칩으로 절단하여 상기 언더필 재료가 상기 인쇄회로기판에 향하도록 상기 반도체 칩을 상기 인쇄회로기판에 배치하는 단계와; 상기 인쇄회로기판을 소정의 온도에서 가열하는 가열단계를 포함하는 것을 특징으로 한다. 이에 의하여, 반도체 칩의 중간단계 이동을 위한 포장재의 필요 없이 공정을 단순화 할 수 있는 반도체 칩 표면실장방법이 제공된다.

【대표도】

도 3

【색인어】

표면실장, 언더필, 플립칩

【명세서】**【발명의 명칭】**

반도체칩 표면실장방법{Surface Mounting Method of Semi-conduct Chip on PCB}

【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체 칩 표면실장방법을 도시한 흐름도,

도 2는 도1에 따른 반도체 칩 표면실장방법을 도시한 간략도,

도 3은 본 발명에 따른 반도체 칩 표면실장방법을 도시한 흐름도,

도 4는 도 1에 따른 반도체 칩 표면실장방법을 도시한 간략도이다.

<도면의 주요 부분에 대한 부호의 설명>

1: 반도체 웨이퍼

2: 반도체 칩

4: 인쇄회로기판

11: 칩 트레이

12: 피더 테이프

21: 솔더볍퍼

22: 언더필 재료

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 칩 표면실장방법에 관한 것으로, 보다 상세하게는 반도체 칩의 중간단계 이동을 위한 포장재의 필요 없이 공정을 단순화할 수 있는 반도체 칩 표면실장방법에 관한 것이다.

<11> 최근들어 전자기기의 박형화, 소형화 추세에 따라 반도체 소자를 외부환경으로부터 보호하는 기능의 패키징 기술에 있어서 고속, 고밀도 실장등이 요구되며, 이러한 요구에 부응하여 리드 프레임이 없는 플립칩 실장기술이 등장하게 되었다.

<12> 플립칩 실장기술은 반도체 칩을 패키징하지 않고 그대로 인쇄회로기판에 실장하는 기술로, 반도체 칩에 범퍼를 형성하고 범퍼와 인쇄회로기판에 인쇄된 접속패드를 솔더링 방식으로 접속시키는 기술을 말한다. 이와 같은 방법으로 인쇄회로기판에 반도체 칩을 실장하면 반도체 칩의 범퍼의 높이로 인해 반도체 칩과 인쇄회로기판 사이에 간극이 발생되어 반도체 칩의 지지력이 약화된다. 따라서 반도체 칩을 안정적으로 지지하기 위해 반도체 칩과 인쇄회로기판 사이에 발생된 간극에 액상수지 물질의 언더필 재료를 주입하고 경화시켜 반도체 칩을 지지하는 언더필 층을 형성함으로써 본딩 수행능력과 칩의 손상 및 열전달 능력이 향상되어 진다.

<13> 도 1은 종래기술에 따른 반도체 칩의 표면실장방법을 나타낸 흐름도이고, 도 2는 도 1에 따른 표면실장방법을 도시한 간략도이다. 도면에 도시된 바와 같이, 반도체 칩의 표면실장방법은 솔버범퍼의 형성단계(S10), 웨이퍼 절단단계(S20), 반도체 칩의 이동수단에 적재단계(S30), 반도체 칩의 배치단계(S40), 리플로우 단계(S50), 언더필 주입단계(S60), 언더필 경화단계(S70)를 거친다.

<14> 솔더범퍼의 형성단계(S10)는 웨이퍼(100)상의 활성면에 전기적인 접점을 형성할 수 있도록 솔더범퍼(210)를 웨이퍼(100)상에 형성된 패턴에 따라 형성하는 단계이다. 이어 웨이퍼 절단단계(S20)는 솔더범퍼(210)가 형성된 웨이퍼(100)를 소정크기의 반도체 칩(200)으로 절단하는 단계이다. 절단된 반도체 칩(200)을 이동수단

에 적재하는 단계(S30)에서는 반도체 칩(200)을 이후 공정으로 이동할 때 반도체 칩(200)의 손상을 막기 위해 이동수단에 적재하는 단계를 말한다. 여기서 이동수단으로는 칩 트레이(110) 또는 피더 테이프(120)가 주로 사용된다. 일반적으로 이상의 단계까지는 반도체 제조업체에서 수행이 되며 상술한 바와 같이 칩 트레이(110) 또는 피더 테이프(120) 상태로 전자제품 업체의 실장공정으로 옮겨지게 된다.

<15> 이어 칩 트레이(110) 또는 피더 테이프(120)에 의해 이동된 반도체 칩(200)은 인쇄회로기판(400)에 배치된다(S40). 이때, 인쇄회로기판(400)에는 반도체 칩(200) 이외의 전자부품(300, 수동소자, 커넥터 등)이 혼재되어 실장 된다. 여기서 반도체 칩(200)은 후술할 언더필 재료(220)의 주입을 위해 타 전자부품(300)들과 최소 2mm 이상의 최소 간격을 유지하여 배치되어야 한다. 반도체 칩(200)이 배치된 인쇄회로기판(400)은 소정온도에서 가열되는 리플로우 단계(S50)를 거치게 되는데, 이때 반도체 칩(200)의 솔더범퍼(210)가 리플로우 되면서 인쇄회로기판(400)의 전극과 전기적으로 연결된다. 리플로우 단계(S50)의 가열온도는 솔더범퍼(210)의 재질에 따라 결정된다.

<16> 리플로우 단계(S50)가 끝나면, 솔더범퍼(210)에 의해 발생된 반도체 칩(200)과 인쇄회로기판(400) 사이의 간극에 언더필 재료(220)를 주입한다(S60). 언더필 재료(220)를 주입하기 위해서 반도체 칩(200)과 다른 전자부품(300)들 간의 거리가 최소거리 이상 확보되어야 하는 것은 상술한 바이다.

<17> 주입된 언더필 재료(220)를 경화시키기 위해 소정온도에서 다시 인쇄회로기판(400)을 가열하는 경화단계(S70)가 끝나면 인쇄회로기판(400)에 반도체 칩(200)이 기타 전자부품(300)들과 함께 혼재되어 표면실장이 된다.

<18> 하지만 종래기술에 의한 반도체 칩 표면실장방법에 있어서, 반도체 칩(200)을 인쇄회로기판(400)에 장착하고 리플로우로 접합을 형성한 후 언더필 재료(220)를 개별적으로 주입하고 경화하기 때문에 표면실장공정과 표면실장장비가 복잡해지면서 공정시간이 길게 소요되는 문제점이 있다. 또한, 반도체 칩(200)과 주변 전자부품(300) 간의 최소간격을 유지해야 하므로 고밀도 실장이 어려운 문제점이 있다.

<19> 또한, 칩 트레이(110) 또는 피더 테이프(200)를 사용하는 경우에 웨이퍼(100)에서 이와 같은 중간 포장용기에 담는 공정이 한 번 더 필요하고 다시 표면실장공정에서 칩 트레이(110)나 피더 테이프(120)에서 인쇄회로기판(400)으로 반도체 칩(200)을 장착하는 공정이 필요하게 되므로 많은 공정을 거치게 된다. 또한, 칩 트레이(110) 또는 피더 테이프(120)에 의해 운반될 경우 반도체 칩(200)에 형성된 솔더범퍼(210)가 손상되는 문제점 등이 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명의 목적은 이와 같은 종래의 문제점을 해결하기 위한 것으로서, 반도체 칩의 중간단계 이동을 위한 포장재가 필요 없고, 단순화된 공정의 반도체 칩 표면실장방법을 제공함에 있다.

【발명의 구성 및 작용】

<21> 상기 목적은, 본 발명에 따라, 전자부품이 장착되는 인쇄회로기판에 반도체 칩을 표면실장하는 반도체 칩 표면실장방법에 있어서, 다수의 반도체 칩이 일체로 배열된 반도체 웨이퍼의 배면에 각 반도체의 도전접촉부에 솔더범퍼를 형성하는 단계와; 상기 반도체 웨이퍼의 상기 솔더범퍼가 형성된 면에 언더필 재료를 도포하는 단계와; 상기 언더필 재료를 점착성을 갖는 상태로 부분경화시키는 단계와; 상기 반도체 웨이퍼를 다수의 반도체 칩으로 절단하여 상기 언더필

재료가 상기 인쇄회로기판에 향하도록 상기 반도체 칩을 상기 인쇄회로기판에 배치하는 단계 와; 상기 인쇄회로기판을 소정의 온도에서 가열하는 가열단계를 포함하는 것을 특징으로 하는 반도체 칩 표면실장방법에 의해 달성된다.

- <22> 여기서, 상기 가열단계의 가열온도는 상기 솔더범퍼의 용융점 이상으로 되는 것이 솔더범퍼를 리플로우 함과 동시에, 언더필 재료를 경화시킬 수 있다.
- <23> 도 3은 본 발명에 따른 반도체 칩 표면실장방법을 나타낸 흐름도이고, 도 4는 도 3에 따른 표면실장방법을 도시한 간략도이다.
- <24> 도면에 도시된 바와 같이, 반도체 칩 표면실장은 솔더범퍼 형성단계(S1), 언더필도포단계 (S2), 언더필 부분경화단계(S3), 웨이퍼 절단단계(S4), 반도체 칩 배치단계(S5), 가열단계(S6)를 거치게 된다.
- <25> 솔더범퍼 형성단계(S1)는 웨이퍼(1)에 형성된 패턴에 따라 인쇄회로기판(4)과 전기적으로 접촉할 수 있도록 웨이퍼(1)상의 활성면에 솔더범퍼(21)를 형성하는 단계이다. 일반적으로 솔더 범퍼(21)는 Sn/Pb의 합금이 많이 사용된다.
- <26> 이어 솔더범퍼(21)가 형성된 웨이퍼(1) 면에 언더필 재료(22)를 도포하는 언더필 도포단계 (S2)를 거친다. 언더필 재료(22)를 도포하는 방법으로는 스텐실 프린팅법, 스판 코팅법, 디핑 법 등을 이용할 수 있다. 이때 언더필 재료(22)의 도포 두께는 언더필 재료(22)의 특성에 따라 차이가 날 수 있으나, 일반적으로 솔더범퍼(21)가 인쇄회로기판(4)과의 전기적 접촉이 원활하게 이루어 질 수 있도록 솔더범퍼(21)의 높이에 대하여 같거나 낮게 도포된다. 하지만, 후술할 가열단계에서 언더필 재료(22)의 특성에 따라 솔더범퍼(21)가 리플로우 될 때 언더필 재료

(22)를 뚫고 인쇄회로기판(4)에 전기적으로 접촉이 가능할 수도 있으므로, 솔더범퍼(21)의 높이에 대하여 높게 언더필 재료(22)가 도포될 수도 있음을 물론이다.

<27> 웨이퍼(1)상에 도포된 언더필 재료(22)는 부분경화단계(S3)를 거쳐 점착성을 갖는 상태로 된다. 부분경화단계(S3)에서 언더필 재료(22)가 도포된 웨이퍼(1)는 소정온도에 노출이 되어 언더필 재료(22)가 부분경화된다. 언더필 재료(22)를 부분경화하는 이유는 언더필 재료(22)는 액상으로 웨이퍼(1) 상에 도포되므로 웨이퍼(1)를 운반할 때 언더필 재료(22)가 흘러내려 운반에 어려움이 있기 때문이다. 또한, 언더필 재료(22)는 소정의 접착력이 있으므로 후술할 가열단계에서 경화되어 인쇄회로기판(4)과 반도체 칩(2)을 접착시켜주는 역할을 하기 때문이다. 일반적으로 이상의 단계까지는 반도체 제조업체에서 수행이 되며 언더필 재료(22)가 부분경화된 웨이퍼(1) 상태로 전자제품 업체의 실장공정으로 옮겨지게 된다.

<28> 이어, 반도체 웨이퍼(1)를 반도체 칩(2)으로 절단하는 절단단계(S4)를 거친다. 절단단계(S4)를 거친 반도체 칩(2)의 각각에는 솔더범퍼(21)와 부분경화상태의 언더필 재료(22)가 마련되어 있게 된다.

<29> 절단된 반도체 칩(2)은 전자부품(3)이 실장되는 인쇄회로기판(4)에 배치된다. 여기서, 인쇄회로기판(4)에 전자부품(3)과 동시에 배치될 수도 있으며, 전자부품(3)에 대하여 먼저 또는 나중에 인쇄회로기판(4)에 반도체 칩(1)이 배치될 수도 있어 배치 순서에 구속되지 않는다.

<30> 반도체 칩(2)이 배치된 인쇄회로기판(4)은 소정온도에서 가열되어, 솔더범퍼(21)의 리플로우와 언더필 재료(22)의 경화가 이루어진다(S6). 가열온도는 언더필 재료(22)와 솔더범퍼(21)의 재료 특성에 따라 달라지겠지만, 일반적으로 솔더범퍼(21)의 용융점 온도 보다는 높게 설정되어야 한다. 솔더범퍼(21)의 리플로우와 언더필 재료(22)의 경화가 이루어지는 과정을 살펴보면, 솔더범퍼(21)가 소정온도 이상으로 가열되면, 솔더범퍼(21)가 유동성을 가지게 되고

, 솔더범퍼(21)는 인쇄회로기판(4)의 접점과 전기적으로 접촉하게 된다. 또한, 언더필 재료(22)는 온도가 올라감에 따라 경화가 이루어져 고상으로 되고, 가열 단계가 끝나게 되면 솔더범퍼(21)는 다시 굳게 되어 인쇄회로기판(4)과 안정적으로 전기적인 연결이 이루어진다.

<31> 따라서 모든 공정이 끝나게 되면, 언더필 재료(22)는 경화가 이루어져, 인쇄회로기판(4)과 반도체 칩(2)을 지지하고, 소정의 접착력으로 인쇄회로기판(4)과 반도체 칩(2)의 상호 결합을 도와준다. 한편 언더필 재료(22)는 솔더범퍼(21)의 주성분인 Pb속에 포함되는 소량의 방사선 원소에 의해 방사되는 알파선으로 인하여 반도체 칩(2) 소자에 노이즈가 인가되어 오동작을 유발시키므로, 노이즈를 차단하는 역할을 하기도 한다.

<32> 이상의 설명에서 반도체 칩의 표면실장에 있어서, 플립 칩 실장에 대하여 설명하였으나, WLCSP(Wafer Level Chip Size Package) 기술에도 이용될 수 있음은 물론이다. WLCSP란 칩과 패키기 사이의 와이어 본딩, 플립칩본딩등의 접속기술 대신에 입방체화하기 전에 플립칩과 같은 원리로 반도체 전공정의 배선기술을 사용하여 칩 패드와 외부단자를 결선하는 것을 말한다.

【발명의 효과】

<33> 이상 설명한 바와 같이, 본 발명에 따르면, 반도체 칩의 중간단계 이동을 위한 포장재의 필요 없이 공정을 단순화할 수 있는 반도체 칩 표면실장방법이 제공된다.

【특허 청구범위】**【청구항 1】**

전자부품이 장착되는 인쇄회로기판에 반도체 칩을 표면실장하는 반도체 칩 표면실장방법에 있어서,

다수의 반도체 칩이 일체로 배열된 반도체 웨이퍼의 배면에 각 반도체의 도전접촉부에 솔더 범퍼를 형성하는 단계와;

상기 반도체 웨이퍼의 상기 솔더범퍼가 형성된 면에 언더필 재료를 도포하는 단계와;

상기 언더필 재료를 점착성을 갖는 상태로 부분경화시키는 단계와;

상기 반도체 웨이퍼를 다수의 반도체 칩으로 절단하여 상기 언더필 재료가 상기 인쇄회로기판에 향하도록 상기 반도체 칩을 상기 인쇄회로기판에 배치하는 단계와;

상기 인쇄회로기판을 소정의 온도에서 가열하는 가열단계를 포함하는 것을 특징으로 하는 반도체 칩 표면실장방법.

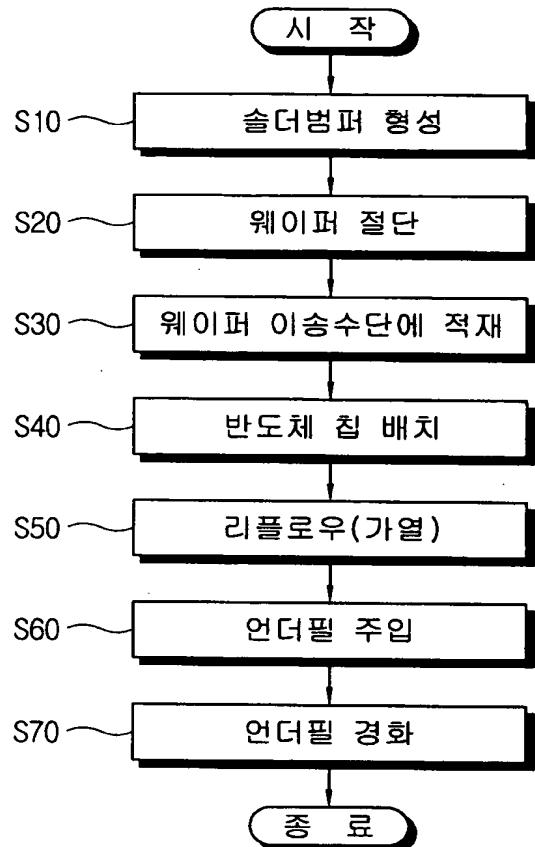
【청구항 2】

제1항에 있어서,

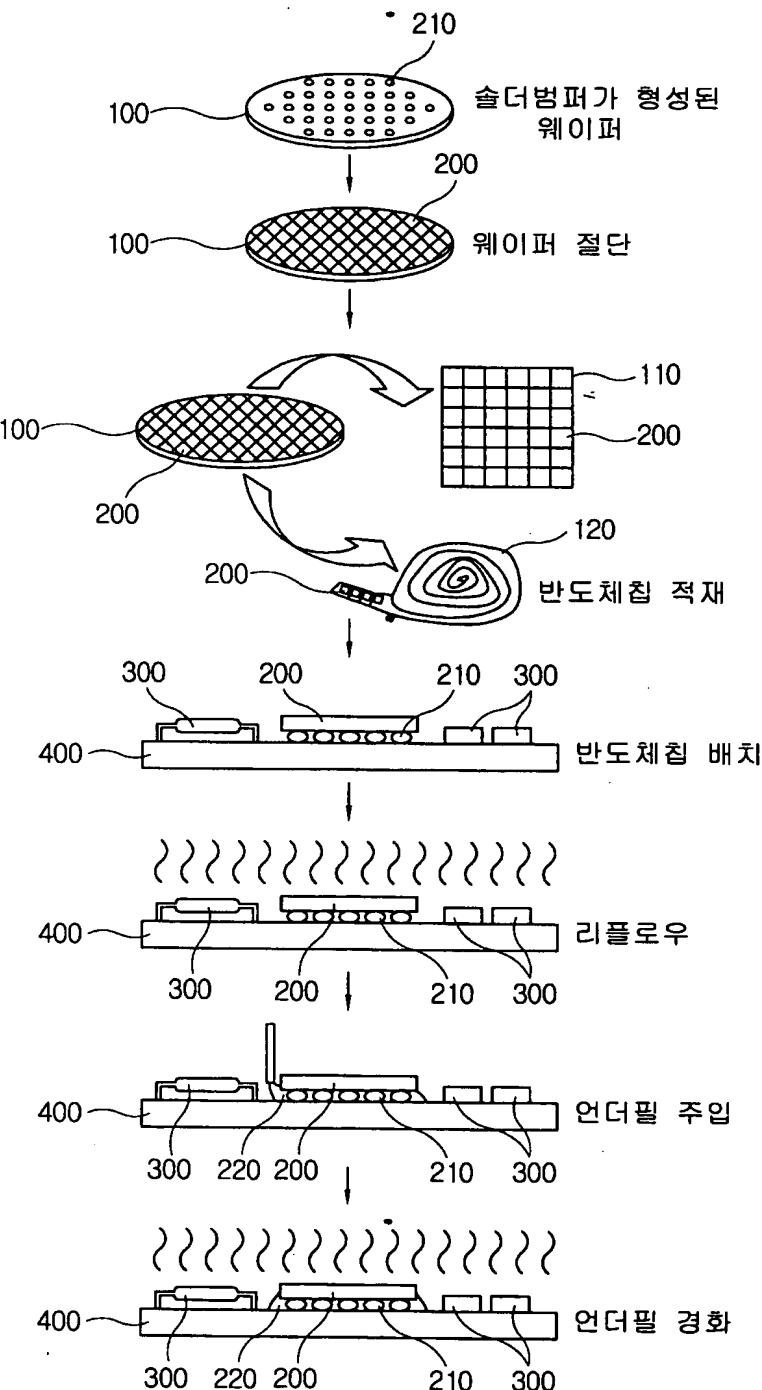
상기 가열단계의 가열온도는 상기 솔더범퍼의 용융점 이상인 것을 특징으로 하는 반도체 칩 표면실장방법.

【도면】

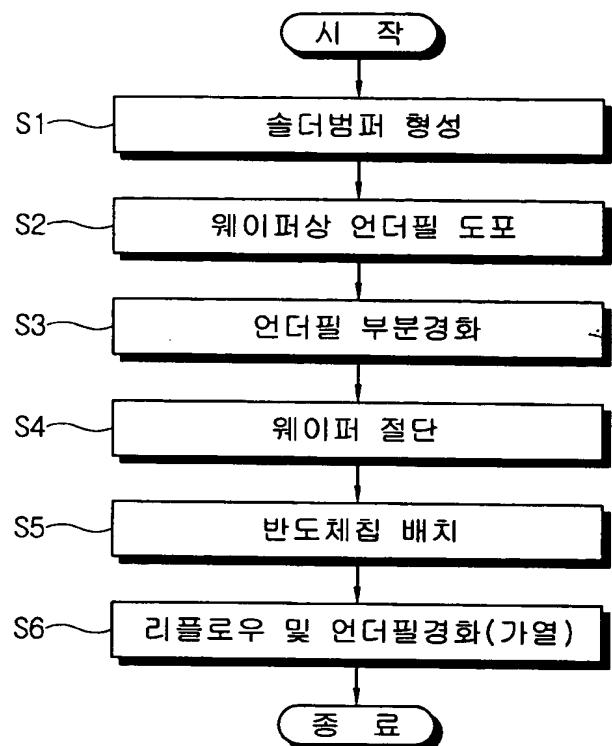
【도 1】



【도 2】



【도 3】



【도 4】

